



Parte A. DATOS PERSONALES		Fecha del CVA	18/01/2023
Nombre y apellidos	Aitzol Zuloaga Izaguirre		
DNI/NIE/pasaporte	78918271G	Edad	60
Núm. identificación del investigador	Researcher ID	K-8848-2014	
	Código Orcid	0000-0002-8199-3117	

A.1. Situación profesional actual

Organismo	Universidad del País Vasco		
Dpto./Centro	Escuela Técnica Superior de Ingeniería		
Dirección	Plaza Ingeniero Torres Quevedo 1		
Teléfono	94-6014084	correo electrónico	aitzol.zuloaga@ehu.es
Categoría profesional	Profesor Titular	Fecha inicio	08/08/2017
Espec. cód. UNESCO	330700		
Palabras clave	Procesadores, FPGA, SoC		

A.2. Formación académica (título, institución, fecha)

Licenciatura/Grado/Doctorado	Universidad	Año
Ingeniero Electrónico	Universidad Simón Bolívar	17/05/1985
Máster en Gerencia de Proyectos	Universidad Simón Bolívar	23/10/1992
Doctor Ingeniero en Telecomunicaciones	Universidad del País Vasco (UPV/EHU)	11/12/2001

A.3. Indicadores generales de calidad de la producción científica (véanse instrucciones)

- Sexenios de investigación: 2 (2001-2006 y 2007-2012)
Sexenios de transferencia: 1 (2003-2008)
- Número de tesis doctorales dirigidas: 4
- Citas totales: 317
- Número de citas por año (últimos 5 años): 14,4
- Publicaciones en el primer cuartil: 3
 - Transactions on smart grids (2015)
 - Mechatronics (2009)
 - Computer Vision and Image Understanding (2005)
- Índice h: 9

Parte B. RESUMEN LIBRE DEL CURRÍCULUM (máximo 3500 caracteres, incluyendo espacios en blanco)

Su desempeño en la electrónica comenzó desde los estudios de bachillerato industrial, especializándose en electrónica y realizando sus prácticas obligatorias en Hewlett Packard de Venezuela. Posteriormente, realizó los de Ingeniería Electrónica en la Universidad Simón Bolívar. Allí fue becario en la universidad y, nuevamente, en Hewlett Packard de Venezuela. Como becario en la universidad se desempeñó como "ayudante docente" de asignaturas de física y de electrónica.

Una vez obtenido el título de Ingeniero Electrónico, trabajó en la empresa Microtel Electrónica S.A. especializada en el desarrollo de centrales telefónicas digitales de alta capacidad. En esta empresa ocupó el cargo de Jefe de Proyecto para el desarrollo de la central telefónica de 1000 puertos, una de las más avanzadas en su tiempo.

Posteriormente pasó a trabajar en una empresa spin-off de la anterior, AI&A Electrónica S.A., especializada en centrales telefónicas pequeñas para un mercado masivo. El producto desarrollado alcanzó una significativa cuota de mercado compitiendo con gigantes de la industria como Siemens y Panasonic.

En 1992 estudió el Máster en Gerencia de Proyectos en la Universidad Simón Bolívar como refuerzo a la actividad que se hallaba realizando.

En 1995 se matriculó en el Doctorado de Electrónica y Telecomunicaciones en la Universidad del País Vasco, en 2000 entró como Profesor Asociado de Tecnología Electrónica y en diciembre de 2001 obtuvo el título de Doctor Ingeniero en Telecomunicaciones. En agosto de 2017 pasó a ser Profesor Titular de Universidad.



Desde su entrada como profesor en la Universidad del País Vasco, ha mantenido una intensa labor investigadora que se ha visto recompensada con la evaluación positiva en dos sexenios de investigación (2001-2006, 2007-2012) y un sexenio de transferencia (2003-2008). Forma parte del grupo de investigación Apert desde su fundación en 2002. Durante estos años los miembros del grupo han conseguido convertir el grupo de investigación Apert en un grupo reconocido como lo demuestran la subvenciones generales que ha disfrutado y sigue disfrutando, el último de ellos como grupo consolidado tipo A del Gobierno Vasco. Durante estos años ha realizado más de 27 aportaciones en revistas internacionales y más de 70 en congresos internacionales en el área de tecnología electrónica. También ha colaborado en un par de libros sobre temas específicos de investigación en el ámbito internacional. Además ha participado en más de 35 proyectos de convocatorias competitivas y en más de 40 proyectos contratados.

Su línea de interés en la investigación se ha dirigido en especial a los sistemas integrados SoC (*System-on-Chip*) y los procesadores, aplicados especialmente a sistemas de comunicación digital.

En el aspecto docente ha impartido docencia en los niveles de grado, máster y doctorado, con un altísimo grado de satisfacción por parte de los alumnos en las encuestas de aula. Ha producido un extenso material monográfico para los diferentes cursos y ha participado como autor en varios libros docentes.

Parte C. MÉRITOS MÁS RELEVANTES (ordenados por tipología)

C.1. Publicaciones

1. Autores (p.o. de firma): J. Gómez-Cornejo, I. Aranzabal, I. López, A. J. Mazón, A. Zuloaga
Título: *A New Methodology to Manage FPGA Distributed Memory Content via Bitstream for Xilinx ZYNQ Devices*
Revista: *Electronics*
Fecha: 27 de diciembre 2022 Volumen: 12(1)-102 Páginas: 1-17
2. Autores: B. Arejita, J. Isaza-Paz, C. Roldán, A. Zuloaga
Título: *Applying Edge Artificial Intelligence to Closed Loop Real Time Control and Monitoring Of Laser Based Battery Pack Welding*
Revista: *Journal of Laser Applications*
Fecha: julio 2022 Volumen: 34 Páginas: 032012-1-032012-13
3. Autores: J. Lázaro, J. Cabrejas, A. Zuloaga, L. Muguira, J. Jiménez
Título: *Time Sensitive Networking protocol implementation for Linux end equipment*
Revista: *Technologies*
Fecha: abril 2022 Volumen: 10(3)-55 Páginas: 1-11
4. Autores (p.o. de firma): J. Gómez-Cornejo, A. Zuloaga, I. Villalta, J. Del Ser, U. Kretzschmar, J. Lazaro
Título: *A Novel BRAM Content Accessing and Processing Method based on FPGA Configuration Bitstream*
Revista: *Microprocessors and Microsystems*
Fecha: febrero 2017 Volumen: 49 Páginas: 4964-4976
5. Autores (p.o. de firma): J.A. Araujo, J. Lázaro, A. Astarloa, A. Zuloaga, J.I. Gárate
Título: *PRP and HSR for high availability networks in power utility automation: A Method for redundant frames discarding*
Revista: *Transactions on smart grids*
Fecha: septiembre 2015 Volumen: 6 Páginas: 2325-2332
6. Autores: J. Lázaro, A. Astarloa, A. Zuloaga, U. Bidarte, J. Jiménez
Título: *I2CSec: a Secure Serial Chip-to-Chip Communication Protocol*
Revista: *Journal of Systems Architecture*
Fecha: febrero 2011 Volumen: 57(2) Páginas: 206-213
7. Autores: J. Jiménez, J. L. Martín, U. Bidarte, A. Astarloa, A. Zuloaga
Título: *Design of a Master device for the Multifunction Vehicle Bus*
Revista: *IEEE Transactions on Vehicular Technology*
Fecha: noviembre 2007 Volumen: 56(6) Páginas: 3695-3707



8. Autores: A. Astarloa, A. Zuloaga, U. Bidarte, J. L. Martín, J. Lázaro, J. Jiménez
Título: Tornado: A Self-Reconfiguration Control System for Core-Based Multiprocessor CSoPCs
Revista: Journal of Systems Architecture
Fecha: septiembre 2007 Volumen: 53(9) Páginas: 629-643

C.2. Proyectos

1. Título: Grupo de Investigación en Electrónica Aplicada (APERT) (Tipo A)
Entidad financiadora: Gobierno Vasco (Programa Ayudas para apoyar las actividades de grupos de investigación del sistema universitario vasco)
Investigador principal: J.L. Martín
Duración, desde: 1-2022 hasta: 12-2025 Cuantía de la subvención: 395000€
2. Título: Ayuda para apoyar las actividades de grupo de investigación (Tipo A)
Entidad financiadora: Gobierno Vasco
Investigador principal: J.L. Martín
Duración, desde: 2016 hasta: 2021 Cuantía de la subvención: 572000€,
3. Título: Cyber-Physical Systems en la Smart Grid
Referencia: TEC2014-53785-R
Entidad financiadora: Ministerio de Economía y Competitividad (Programa Programa estatal de I+D+i orientada a los retos de la sociedad)
Investigador principal: J. Lázaro (UPV/EHU)
Duración, desde: 1-2015 hasta: 12-2017 Cuantía de la subvención: 109.000,00 euros
4. Título del proyecto: Arquitecturas Autónomas Tolerantes a Fallos Basadas en Dispositivos Reconfigurables Dinámicamente
Entidad financiadora: Ministerio de Ciencia e Innovación (Programa MICINN)
Investigador principal: U. Bidarte (UPV/EHU)
Duración, desde: 1-2012 hasta: 12-2014 Cuantía de la subvención: 64.009,00 euros
5. Título: Sistemas avanzados de redes ethernet industriales redundantes a tiempo real
Referencia: S-PE11UN059
Entidad financiadora: Gobierno Vasco (Programa SAIOTEK)
Investigador principal: A. Zuloaga (UPV/EHU)
Duración, desde: 1-2011 hasta: 12-2012 Cuantía de la subvención: 24.946,60 €
6. Título: Sistemas inteligentes para la nueva generación de transporte terrestre
Referencia: IE08-221
Entidad financiadora: Gobierno Vasco (Programa ETORTEK)
Investigador principal: A. Zuloaga (UPV/EHU)
Duración, desde: 1-2008 hasta: 12-2010 Cuantía de la subvención: 46.189,00 €
7. Título: Broadband access networks integrated telecommunication system
Referencia: TSI-020400-2008-18
Entidad financiadora: Unión Europea-Min. de Industria (Programa EUREKA-CELTIC)
Investigador principal: J.L. Martín (UPV/EHU)
Duración, desde: 12-2008 hasta: 12-2009 Cuantía de la subvención: 49.893,00 €

C.3. Contratos, méritos tecnológicos o de transferencia

1. Título del contrato: GRIC. Gateway con comunicación redundante para redes inteligentes Empresa/Administración financiadora: System on Chip Engineering S. L.
Investigador principal: J. Lázaro (UPV/EHU)
Duración, desde: 01-2014 hasta: 12-2017 Cuantía del proyecto: 53.500,00 euros
2. Título del contrato: Desarrollo de bienes de equipo avanzados para la cadena de valor manufacturera (CARES)
Empresa/Administración financiadora: System on Chip Engineering S. L.
Investigador principal: A. Astarloa (UPV/EHU)
Duración, desde: 4-2015 hasta: 5-2019 Cuantía del proyecto: 75.000,00 euros
3. Título del contrato: Asesoramiento técnico en cyber-physical-production-systems (CPPS) con conexiones ethernet de alta disponibilidad (CYSYS)
Empresa/Administración financiadora: System on Chip Engineering S. L.



- Investigador principal: A. Zuloaga (UPV/EHU)*
Duración, desde: 12-2014 hasta: 12-2015 Cuantía del proyecto: 20.000,00 euros
- Título: IEEE 1588 based sub-microsecond synchronization for Power Over Ethernet Relay Control and Communication Device*
Empresa/Administración financiadora: System on Chip Engineering S. L.
Investigador principal: J. Lázaro (UPV/EHU)
Duración, desde: 11-2012 hasta: 11-2013 Cuantía del proyecto: 30.140,00 €
 - Título: Research on Reconfigurable Devices*
Empresa/Administración financiadora: System on Chip Engineering S. L.
Investigador principal: A. Astarloa (UPV/EHU)
Duración, desde: 9-2011 hasta: 9-2012 Cuantía del proyecto: 50.000,00 €
 - Título: Sistema electrónico de transmisión de energía en media y alta tensión para recursos renovables marinos*
Empresa/Administración financiadora: Fundación ROBOTIKER
Investigador principal: J.L. Martín (UPV/EHU)
Duración, desde: 11-2009 hasta: 11-2011 Cuantía del proyecto: 115.000,00 €

C.4. Patentes

- Autores: J.A. Araujo, J. Lázaro, A. Astarloa, A. Zuloaga*
Título: Sistema y método de lectura y escritura de una memoria digital
Número de patente: ES2549188 Países de prioridad: España
Fecha de concesión: 11/5/2016
- Autores: U. Bidarte, A. Astarloa, J. Lázaro, A. Zuloaga*
Título: Generador de números realmente aleatorios
Número de patente: 2326718 Países de prioridad: España
Fecha de concesión: 16/10/2009
- Autores: J. Lázaro, A. Astarloa, U. Bidarte, A. Zuloaga*
Título: Sistema votador
Número de patente: ES2379239 Países de prioridad: España
Fecha de concesión: 24/4/2012

C.5. Congresos

- Autores: A. Zuloaga, A. Astarloa, J. Jiménez, J. Lázaro, J.A. Araujo*
Título: Cost-effective Redundancy for Ethernet Train Communications using HSR
Congreso: 23rd International Symposium on Industrial Electronics, ISIE 2014
Fecha: 1 al 4 de junio de 2014 Lugar de celebración: Estambul (Turquía)
ISBN: 978-1-4799-2398-4
- Autores: A. Astarloa, J. Lázaro, U. Bidarte, A. Zuloaga, M. Idirin*
Título: System-on-Chip implementation of reliable Ethernet networks nodes
Congreso: 39th International Conference on Industrial Electronics, Control and Instrumentation, IECON 2013
Fecha: 10 al 13 de noviembre de 2013 Lugar de celebración: Viena (Austria)
ISBN: 978-1-4799-0223-1
- Autores: A. Astarloa, J. Lázaro, U. Bidarte, A. Zuloaga, J. Jiménez*
Título: DNAX-BCU: An un-clonable cost-conscious SoPC implementation for Bus Coupling Units of the European Installation Bus
Congreso: 29th IEEE International Conference on Distributed Computing Systems Workshops
Fecha: 22 al 26 de junio de 2009 Lugar de celebración: Montreal (Canadá)
ISBN: 978-0-7695-3660-6

C.6. Libros

- Autores: J. Arias, I. Marin, A. Zuloaga*
Título: Energy Aware Medium Access Control Protocols
Libro: Wireless Communications Research Trends
Fecha: 2007 Volumen: 1 Páginas: 123 - 163 ISBN: 1-60021-674-9
Editorial: Nova Science Publishers Lugar de publicación: New York



2. *Autores: U. Bidarte, A. Astarloa, A. Zuloaga, J. L. Martín, J. Jiménez*
Título: Chapter4. Core-based architecture for data transfer control in SoC design
Libro: New Algorithms, architectures and applications for reconfigurable computing
Fecha: 2005 Volumen: 1 Páginas: 43 - 54 ISBN: 978-1-4020-3127-4
Editorial: Springer Lugar de publicación: Dordrecht (Holanda)