

## **CURRICULUM VITAE**



NOMBRE: Julio Cristóbal Arranz Casado  
FECHA DE NACIMIENTO: 4 Agosto 1957  
DOMICILIO: C / ALAVA 1- 4º 48014 BILBAO  
TELÉFONO: 639066026  
CORREO ELECTRÓNICO: arranzj@yahoo.es

### **DATOS ACADÉMICOS**

- ESTUDIOS SUPERIORES: INGENIERO SUPERIOR DE TELECOMUNICACIÓN por la UNIVERSIDAD POLITÉCNICA DE MADRID (especialidad de Electrónica de Equipos).
- POSTGRADO: Finalizado período docente de los estudios de doctorado en la Escuela Superior de Ingenieros de Bilbao.

### **EXPERIENCIA PROFESIONAL**

- TER (09/2003-actual). Ingeniero de Test. Responsable de calidad y procedimientos de test (in circuit, inspección óptica y rayos X, funcional) de los circuitos electrónicos montados por TER como subcontratista.
- DIBAL (03/2000-01/2003). Jefe de Grupo de diseño HW y Jefe de Proyecto de sistemas electrónicos aplicados al pesaje comercial e industrial. Responsable de homologación de productos. Diseño y prototipado de sistemas electrónicos analógicos y digitales.
- ALCATEL (05/1987-02/2000). Trece años de experiencia profesional (4 en Francia y el resto en Madrid) en diseño electrónico (analógico y digital) en relación con el mundo de las telecomunicaciones. La mayor parte de este tiempo en los centros de I+D de Alcatel y en entornos multinacionales. Los trabajos realizados y las competencias adquiridas fueron los siguientes:
  - Diseño HW de una terminación ISDN (acceso básico) para WLL utilizando tecnología radio DECT (microprocesadores, circuitos de interfaz de línea, telealimentación, radio DECT,...). Responsable de la especificación, diseño, pruebas unitarias, pruebas de integración e industrialización del producto;
  - Dentro del PLANBA (Plan Nacional de Banda Ancha), responsable de la participación de ALCATEL (equipos AFTER e IRMEM) y coordinador de actividades de las entidades implicadas (ALCATEL, TELEFÓNICA, LABEIN, ROBOTIKER, CRISA, UPM y UPB);
  - Gestión de proyecto y diseño HW de un FDDI/ATM bridge-router (microprocesadores RISC, electrónica digital de alta velocidad, interfaces UNI y NNI,...);
  - En ALCATEL Francia trabajé durante 4 años en el desarrollo Hardware y Software de equipos para BISDN (Broadband Integrated Services Digital Network) con tecnología ATM (Asynchronous Transfer Mode). Adquirí experiencia en la especificación y diseño de equipos adaptadores de terminal (TA) y terminadores de red (NT) para sistemas de Banda Ancha (DS1, E1, E3, SDH).

- ERICSSON (12/1984-04/1987). Ingeniero de Diseño HW junior en el campo de las telecomunicaciones.
- UNIVERSIDAD DE LA RIOJA (03/2005-09/2006), UNIVERSIDAD DEL PAÍS VASCO (03/2003-02/2005; 09/2011-actual). Experiencia docente en ingeniería (electrónica), informática (arquitectura de ordenadores) y gestión de proyectos.

## **IDIOMAS**

**INGLES:** Hablado y escrito correctamente (ciclo elemental Escuela Oficial de Idiomas, First Certificate, puntuación TOEIC de 775 puntos).

**FRANCÉS:** Hablado y escrito correctamente (diploma Universidad de Toulouse, 4º curso Escuela Oficial de Idiomas, DELF completo, DALF B4 y 4 años de estancia en Francia).

**ALEMÁN:** Conocimientos básicos (2 años de academia y primer curso Escuela Oficial de Idiomas).

## **CURSOS**

A lo largo de mi vida laboral, he asistido a los siguientes cursos de formación técnica:

- Análisis y síntesis de circuitos analógicos mediante capacidades conmutadas;
- Comunicaciones móviles;
- VHDL;
- Programación de microprocesadores con lenguaje C++;
- Comunicaciones digitales modernas;
- Transmisión a alta velocidad por el par de abonado;
- Herramientas Maple y Matlab;
- Visión artificial;
- Inteligencia artificial y sus aplicaciones;
- Comunicaciones DECT;
- Presentations in English;
- Dirección de proyectos;
- Programas de Ingeniería SW;
- Empleo efectivo del tiempo.

## **OTROS MÉRITOS**

**GESTIÓN DE CALIDAD:** Durante los años 1992 y 1993 se desarrolló en el centro I+D de ALCATEL el proceso de implantación del sistema de calidad de acuerdo con la norma ISO 9001. Participé en este proceso como responsable de 2 proyectos (AFTER e IRMEM) concernidos por dicha norma.

**PATENTES:** Patente número ES2018893: “Electronic circuit for supplying data in series from a parallel bus to a programmable device”.

**PUBLICACIONES:** “Técnicas de diseño seguro con FPGAs” para el SAAEI de Julio del 2010